

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

62807-038
Shinobu Toei Yoshi, et al
February 15, 2002
日本国特許庁 10,076,143
JAPAN PATENT OFFICE McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。
McDermott, Will & Emery

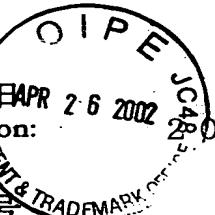
This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月 APR 26 2002
Date of Application: 2001年 8月 7日

出願番号 Application Number: 特願 2001-238691

[ST.10/C]: [JP 2001-238691]

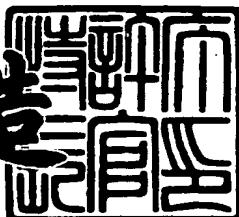
出願人 Applicant(s): 株式会社日立製作所



2002年 3月 5日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特 2002-3013378

【書類名】 特許願

【整理番号】 D01004761A

【あて先】 特許庁長官殿

【国際特許分類】 H04N 5/60

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町292番地 株式会社日立
製作所システムLSI開発センタ内

【氏名】 鳥越 忍

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町292番地 株式会社日立
製作所システムLSI開発センタ内

【氏名】 小野 公一

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町292番地 株式会社日立
製作所システムLSI開発センタ内

【氏名】 黒田 悅章

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町292番地 株式会社日立
製作所システムLSI開発センタ内

【氏名】 長里 勝美

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目22番1号 株式会社日立
超エル・エス・アイ・システムズ内

【氏名】 細野 篤史

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100075096

【弁理士】

【氏名又は名称】 作田 康夫

【手数料の表示】

【予納台帳番号】 013088

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 デジタル信号処理装置

【特許請求の範囲】

【請求項1】

同期用時間情報が付加されたビデオ信号と音声信号を処理して出力するデジタル信号処理装置において、

該同期用時間情報を参照しないで基準クロックを発生するクロック発生手段と

該基準クロックで動作し、入力されたビデオ信号のデコード処理を行い、かつ、該同期用時間情報を基に得られる入力側フレーム基準タイミングと、該基準クロックを分周して得られる出力側フレーム基準タイミングの同期化をフレーム単位で行うビデオ信号処理手段と、

該基準クロックで動作し、オーディオ信号の処理を行い、かつ、該入力側フレーム基準タイミングと出力側フレーム基準タイミングとの周期の差を検出し、検出した周期差に応じてサンプル数を補正するサンプリング変換を行うオーディオ信号処理手段と、

を有するデジタル信号処理装置。

【請求項2】

前記ビデオ信号処理手段は、前記入力側フレーム基準タイミングに対して前記出力側フレーム基準タイミングが早い場合には、既に出力したフレームを繰り返して出力させ、前記入力側フレーム基準タイミングに対して前記出力側フレーム基準タイミングが遅い場合には、フレームを間引きして出力させ、

前記オーディオ信号処理手段は、前記入力側フレーム基準タイミングに対して前記出力側フレーム基準タイミングが早い場合は、前記入力側フレーム基準タイミングと前記出力側フレーム基準タイミングから位相差分期間を求める、1フレーム期間に含まれる入力オーディオ信号のサンプル数から該位相差分期間に相当するオーディオ信号のサンプル数を減算し、減算されたサンプル数のオーディオ信号に拡大又は縮小処理を行うことにより前記出力側フレーム基準タイミングに同期したオーディオ信号を出力させ、前記入力側フレーム基準タイミングに対して

前記出力側フレーム基準タイミングが遅い場合は、前記入力側フレーム基準タイミングと前記出力側フレーム基準タイミングから位相差分期間を求め、1フレーム期間に含まれる入力オーディを信号のサンプル数に該位相差分期間に相当するオーディ信号のサンプル数を加算し、加算されたサンプル数のオーディオ信号に拡大又は縮小処理を行うことにより前記出力側フレーム基準タイミングに同期したオーディオ信号を出力させることを特徴とする請求項1に記載のデジタル信号処理装置。

【請求項3】

時間基準信号が付加されたデジタル信号を入力し、信号処理して映像と音声の再生信号を得るデジタル信号処理装置において、

該時間基準信号とは非同期なクロック信号を発生するクロック信号発生手段と

該クロック信号発生手段が出力するクロック信号を分周し、出力用フレーム同期信号、入力処理用クロックイネーブル信号、音声動作モードに応じたクロックイネーブル信号を発生する分周手段と、

該分周手段から出力される入力処理用クロックイネーブル信号に従って、入力されたデジタル信号から圧縮映像情報、音声情報、補助情報及び入力側フレーム同期信号を分離して出力するデジタルインターフェース処理手段と、

該デジタルインターフェース処理手段から出力される圧縮映像情報、入力側フレーム同期信号、及び、分周手段から出力される入力処理用クロックイネーブル信号、フレーム同期信号とを入力し、デコード処理を行うことで映像信号を得るとともに、前記分周手段から出力する出力用フレーム同期信号と前記入力信号の同期処理を行うビデオ信号処理手段と、

該デジタルインターフェース処理手段から出力される音声情報、フレーム同期信号及び、上記分周手段から出力される入力処理用クロックイネーブル信号、入力側フレーム同期信号、音声動作モードに応じたクロックイネーブル信号、上記分周手段から出力する出力用フレーム同期信号とを入力し、信号処理を行うことにより音声信号を得るとともに、前記分周手段から出力する音声動作モードに応じたクロックイネーブル信号にて音声信号を出力するオーディオ信号処理手段と

、を備えたことを特徴とするデジタル信号処理装置。

【請求項4】

前記ビデオ信号処理手段は、前記入力側フレーム同期信号に対して出力用フレーム同期信号が早い場合には、既に出力したフレームを繰り返して出力させ、前記入力側フレーム同期信号に対して前記出力用フレーム同期信号が遅い場合には、フレームを間引きして出力させ、

前記オーディオ信号処理手段は、前記入力側フレーム同期信号に対して前記出力用フレーム同期信号が早い場合は、前記入力側フレーム同期信号と前記出力用フレーム同期信号から位相差分期間を求める、1フレーム期間に含まれる入力オーディオ信号のサンプル数から該位相差分期間に相当するオーディオ信号のサンプル数を減算し、減算されたサンプル数のオーディオ信号から拡大又は縮小処理を行うことにより前記出力用フレーム同期信号に同期したオーディオ信号を出力させ、前記入力側フレーム同期信号に対して前記出力用フレーム同期信号が遅い場合は、前記入力側フレーム同期信号と前記出力用フレーム同期信号から位相差分期間を求める、1フレーム期間に含まれる入力オーディオ信号のサンプル数に該位相差分期間に相当するオーディオ信号のサンプル数を乗算し、乗算されたサンプル数のオーディオ信号から拡大又は縮小処理を行うことにより出力用フレーム同期信号に同期したオーディオ信号を出力させることを特徴とする請求項3に記載のデジタル信号処理装置。

【請求項5】

前記同期用時間情報が付加されたビデオ信号と音声信号は、IEEE1394規格におけるフォーマットで伝送されて入力された信号であることを特徴とする請求項1又は2に記載のデジタル信号処理装置。

【請求項6】

前記時間基準信号が付加されたビデオ信号と音声信号は、IEEE1394規格におけるフォーマットで伝送されて入力された信号であることを特徴とする請求項3又は4に記載のデジタル信号処理装置。

【発明の詳細な説明】

【0001】

【発明の属する分野】

本発明は、デジタル的に圧縮処理されたビデオ及びオーディオ信号をデコードする装置に係り、特にDV規格に準じたデジタルビデオカセットレコーダのデコード処理において、いわゆるIEEE1394規格のインターフェースから得るデジタルビデオ信号とデジタルオーディオ信号とを单一のクロックで処理すると同時に、フレームシンクロ原理を用いてビデオ信号とオーディオ信号の同期をとるデジタル信号処理装置に係わる。

【0002】

【従来の技術】

デジタル信号の伝送規格として、近年盛んに採用されているものに、例えばIEEE1394規格がある。このIEEE1394規格は、デジタルビデオカセットレコーダ同士の接続や、デジタルビデオカセットレコーダとパーソナルコンピュータとの接続など、マルチメディア用途に向くものとして注目されている。

このIEEE1394規格におけるデジタルビデオ信号及びデジタルオーディオ信号のフォーマットは、*Specifications of Consumer-Use Digital VCRs using 6.3mm magnetic tape [HD DIGITAL VCR CONFERENCE]*（以下、DV規格と記す）に記載されている。このDV規格によると、圧縮信号は、480バイトのビデオ、オーディオデータにIsochronousヘッダ、CIP(Common Isochronous Packet)ヘッダ、CRC(Cyclic Redundancy Check)が付加されたパケット単位のデータとして1394バス上を伝送する規格となっている。また、上記CIPヘッダは、1394バスを介して送受信する複数の機器間で同期をとる為に、時間情報(SYT:SyncTime)を含んでいる。通常、このSYTを参照してデコード後の出力ビデオ信号タイミングを発生するため、SYTに位相ロックしたクロックを作成する目的でビデオ用PLLが必要となってくる。

一方、DV規格では、ビデオ信号とオーディオ信号の関係が非同期となるアンロックモードが存在する為、この場合、上記ビデオ用PLLに加えてオーディオ用PLLも必要となってくる。

ところで、上記DV規格に準じた機器と、他のシステムとの接続を考えた場合、DV規格のようにオーディオのアンロックモードが許されていないケースもあ

ることから、上記ビデオ及びオーディオ信号は同期化して出力する必要がある。

そこで、特開平11-317916 では、DV規格におけるオーディオ信号をビデオ信号に同期させる為、まず初めにオーディオ用PLLを用いてデコード処理を行い、次にビデオ信号側の同期を用いた第2のオーディオ用PLLを用いて新たな同期を作成し、これを用いてオーディオ信号のサンプルレート変換処理を行うことで、ビデオ信号とオーディオ信号の同期をとる構成を提案している。

【0003】

【発明が解決しようとする課題】

ディジタル回路をLSIに集積化する場合、設計効率の向上や、安定な動作を保証するためには、単一のクロックを用いることが望ましい。また、LSI自身の製造コストや、そのLSIを搭載する基板設計の容易性、生産効率、不良の発生率を抑えるためにも、LSIのピン数は極力少ないことが望ましい。

しかし、上述した従来例では、少なくとも2つ以上のクロックを用いた構成となっており、LSI設計時のタイミング設計、タイミング検証が複雑になるという欠点がある。

また、安定動作を保証する際、LSI内部のみならず、それを搭載した基板上でも複数のクロックが存在する事となり、クロック間のクロストークや、ノイズの発生要因を増大させる事となる。この場合、これらクロストーク、ノイズを抑えるための基板設計技術や、干渉を防ぐための部品などが必要となってくる。

また、上述した従来例では、クロック発生用のPLLが、少なくとも2つ以上存在する。通常PLLを構成する場合、位相比較出力を積分するために外付けのLPFが必要となってくる。さらに、これらPLLの入・出力専用の外部ピンが必要になってくる。この為、必然的に基板の部品点数が増加すると同時にLSIのピン数増加の影響による基板設計の複雑化を招き、トータルコストも上昇してしまう。

【0004】

【課題を解決するための手段】

上記課題を解決するために、本発明では、基準クロックを発生するクロック発生手段と、該基準クロックで動作し、ビデオ信号のデコード処理を行うと共に、同期用時間情報を基に得られる入力側フレーム基準タイミングと該基準クロック

を分周して得られる出力側フレーム基準タイミングの同期化をフレーム単位で行うビデオ信号処理手段と、該基準クロックで動作し、オーディオ信号の処理を行うと共に、該入力側フレーム基準タイミングと出力側フレーム基準タイミングとの周期の差を検出し、検出した周期差に応じてサンプル数を補正するオーディオ信号処理手段を用いる。

【0005】

【発明の実施の形態】

以下、本発明の実施形態について図面を用い詳細に説明する。

図1は、本発明における構成の一例を示したものであり、その内部構成例や動作原理を示した図2～図8も参照しながら、その動作について説明する。

図1において、107はIEEE1394インターフェース処理部、108は信号分離処理部、109はビデオデコード処理部、110はビデオ信号同期処理部、111はビデオ信号出力端子、112はオーディオデコード処理部、113はサンプリング変換処理部、114はオーディオ信号出力端子、115は入力信号処理用分周回路、116はオーディオ信号出力処理用分周回路、117はビデオ出力フレーム同期発生用分周回路、118は位相比較部、106は固定クロック発生部であり、この固定クロックを以下システムクロックと記す。

また、102は、107,108をまとめて入力処理部、103は109,110をまとめてビデオ処理部、104は112,113をまとめてオーディオ処理部、105は115,116,117をまとめて分周部と呼ぶこととする。

さらに、図1には具体的に示していないが、上記システムクロックは、IEEE1394インターフェース処理部107の出力部以降、全てのブロックにクロックとして供給している。

【0006】

IEEE1394インターフェース処理部107は、入力信号を受け取るために、基本クロックとしてIEEE1394インターフェースの動作基準周波数に同期した24.576MHzを用いているが、周辺機器とのインターフェースを容易にする為、これと非同期なディジタル信号処理装置の基本クロックに同期した出力を得る構成を探る。例えば、IEEE1394バス上に存在するデータは、1パケットと呼ばれる単位で管理さ

れており、この1パケットにはIsochronousヘッダと呼ばれるヘッダ情報、CIPヘッダと呼ばれるヘッダ情報とDVデータが存在する。これらのデータは、上記基本クロック24.576MHzで管理する。また、CIPヘッダ情報の中には時間情報が含まれており、これを用いて入力側フレーム同期信号を作成する構成とし、この入力側フレーム同期信号は外部からのクロックに同期して出力する構成とする。上記DVデータは、上記基本クロックを用いて一旦FIFO(First In First Out)に書き込み、外部の基準クロックを用いて読み出す構成を探る。

即ち、ここで必要なデータ出力用クロックは、必ずしも入力のフレーム同期にロックしている必要はない。そこで、本発明では、システムクロックをビデオ信号処理用分周回路115にて分周し、これをイネーブル信号として、システムクロックとペアでIEEE1394インターフェース処理部107に接続する。即ち、基本クロックはシステムクロックであるが、イネーブル信号と併用することで、見かけ上、イネーブル信号の周期でデータが変化する事となる。

【0007】

例えば、システムクロックを仮に54MHzとし、仮にイネーブル信号を13.5MHz、IEEE1394インターフェース処理部107の出力データバス幅を8bitとすると、 $13.5MHz \times 8bit = 108Mbps$ のデータ転送能力となる。一方、DV規格の圧縮信号は約25Mbpsのデータレートであり、このデータを扱うイネーブル信号としては、十分なデータ転送能力となる。勿論、上記FIFOの容量を考慮し、オーバーフローやアンダーフローを起こさない制御を行うものとする。

尚、上記イネーブル信号はシステムクロックを1/4分周する事で容易に得ることができる。以上のように、IEEE1394インターフェース処理部107では、システムクロックと、これを基に分周して作成したイネーブルとを入力し、IEEE1394規格で入力するデータの内、DV規格のデータを分離して出力すると同時にフレーム同期信号を出力する。

信号分離処理部108は、上記IEEE1394インターフェース処理部107から出力するDV規格のデータから、ヘッダ情報を基にビデオデータとオーディオデータを分離して出力する。

【0008】

以下、まず初めにビデオデータの信号処理について説明する。

ビデオ処理部103において、ビデオデコード処理部109は、図2に示す構成を採る。図2において、201,208はSRAM、202はSRAMコントロール、203は可変長復号処理部(Variable Length Decoding 以下、VLDと記す)、204はVLD変換テーブル、205は逆量子化処理部(Inverse Quantization 以下IQと記す)、206は逆重み付け処理部、207は逆離散コサイン変換処理部(Inverse Discrete Cosine Transform 以下、IDCTと記す)である。

ビデオデコード処理部109では、まず初めにSRAM301に1ビデオセグメント分のビデオデータを蓄積し、DCT単位、マクロブロック単位、ビデオセグメント単位の3段階に分けてVLD変換テーブル204を参照しながら入力データをデコードするVLD処理を行う。次にIQ処理部205では1DCT単位である64個のデータ内で所定のエリアに対してデータシフト処理を行う。逆重み付け処理部206では1DCT内でジグザグスキャン順に直流成分から遠ざかるほど大きな係数で逆重み付け処理を行う。IDCT処理207は所定の計算式に従い、逆重み付け処理後の64個の周波数成分から64個の振幅成分を算出する処理を行う。

以上の処理は、全て入力信号処理用分周回路115から出力するイネーブル信号とシステムクロックによって管理することとする。尚、ビデオデコード処理部109内の各処理の詳細は前述のDV規格書の述べられているので、ここでは詳細な説明を省略する。

【0009】

次に、図3を用いて、ビデオ処理部103における、ビデオ信号同期処理部110の動作について説明する。図3において、301はメモリ、302はデシャフリング書き込み制御信号発生部、303はシンクロ読み出し制御信号発生部である。メモリ301は少なくとも2フレーム以上の容量を備えている。ここでは図4、図5を用いてビデオデシャフリング処理の概要を、また、図6を用いてシンクロ動作の概要を説明する。

【0010】

図4はビデオデシャフリング原理を説明する説明図であり、図4において(a)は、ビデオ処理部103から出力されるデータの配列及び順番を示したフレームイ

メージ、(b)、(c)は(a)のフレームイメージからそれぞれ奇数、偶数ラインをまとめたフィールドイメージである。また、図5はビデオデシャフリング処理におけるメモリ301の書き込み、及び読み出しデータのタイミングを示しており、(a)は入力側フレーム同期信号、(b)はメモリ301の書き込みアドレス、(c)はメモリ301の書き込み信号、(d)はメモリ301の読み出し信号をそれぞれ示している。

ビデオ信号同期処理部110におけるデシャフリング処理は、図4(a)に示すフレームイメージのビデオ信号を、図4(b),(c)に示すフィールドイメージの信号に並び替える処理を行う。ビデオ処理部103からは図4(a)に示すように、画面上を50個に分割したスーパーブロックと呼ばれる単位で同図の1, 2, 3, 4, 5と記した順番に上から下に向かって処理した信号が出力される。デシャフリング書き込み制御信号発生部302は、メモリ上の本来表示すべき位置にマッピングしながら書き込み処理を行う為、図5(b)に示す順で水平・垂直アドレスを発生する。シャフリング処理は、1フレームで一巡する規格であるため、図5(c)に示す様に1フレーム分のデータをメモリ301に書き込む。尚、メモリ301にデータを書き込む際のアドレス発生は、前述のDV規格書のシャフリングルールの逆を行うことにより実現可能であり、ここでは詳細な説明を省略する。

以上、入力処理部102から、ここまで信号処理は、IEEE1394インターフェース処理部107から出力する入力側フレーム同期信号を基準とした処理を行うこととする。

【0011】

次に、シンクロ読み出し制御信号発生部303は、フレームイメージでメモリ301に書き込まれたビデオ信号を、図4(b)に示す奇数ラインのビデオ信号(evenフィールド)、図4(c)に示す偶数ラインのビデオ信号(oddフィールド)の順で読み出す制御を行う(図5(d))。この際、シンクロ読み出し制御信号発生部303はビデオ出力フレーム同期発生用分周回路117から得る出力用フレーム同期信号を基準信号として読み出し制御を開始する。

【0012】

ここで、IEEE1394インターフェース処理部107から出力する入力側フレーム同期信号と、ビデオ出力フレーム同期発生用分周回路117から得る出力用フレーム

同期信号の関係を、図6を用いて説明する。

図6はシンクロ動作時における入力用フレーム同期信号と出力用フレーム同期信号及びメモリ301の入・出力データの間系を、①入力側フレーム同期信号より、出力用フレーム同期信号が早い場合、②入力側フレーム同期信号より、出力用フレーム同期信号が遅い場合とに分けて示したタイミング図である。図6において(a)は入力側フレーム同期信号、(b)はメモリ301の書き込み信号、(c)、(f)は出力用フレーム同期信号、(d)、(g)はメモリ301の読み出し信号をそれぞれ示している。

例えば、IEEE1394バスを通して入力するDVデータは、外部に接続されたデジタルビデオカセットレコーダの出力や、パーソナルコンピュータに蓄積されたデータの出力など色々な場合が想定できる。従って、本発明で用いているシステムクロックの周波数と、上記外部機器に内蔵された発振器の周波数との間に少しでも差分が存在すると、基準となるフレーム同期信号にもズレが生じてくる。例えば、本発明で用いるシステムクロックが僅かに高い周波数であった場合、図6①に示すタイミングで、また、低い周波数であった場合、図6②に示すタイミングで、メモリ301の書き込みと、読み出しがレーシングする関係に陥ることがある。

そこで、本発明ではデシャフリング書き込み制御信号発生部302から書き込み終了タイミングで書き込みが終了したアドレス（以下、*w_end*と記す）をシンクロ読み出し制御信号発生部303に出力する。シンクロ読み出し制御信号発生部303では、*w_end*を受けて、読み出し開始タイミングにおいて既に書き込みが終了しているフレームの信号を読み出す制御を行う。即ち、図6の(b)と(d)の関係において、(e)で示すタイミングでは、2フレーム目のデータ書き込みが終了していない為、再度1フレーム目のデータを出力するよう読み出し制御を行う。また、図6の(b)と(g)の関係において、(h)で示すタイミングでは、まだ2フレーム目のデータを読み出していないにも係らず、3フレーム目の書き込みが既に終了しているため、2フレーム目のデータを飛ばして3フレーム目のデータにジャンプして出力するよう読み出し制御を行う。以上のように、本発明では、いわゆるフレームシンクロ動作を行うことで、入力するDVデータと非同期な関係にある出

力用フレーム同期に、ロックした出力を得ることが可能となる。

【0013】

次に、オーディオ処理部104について、図7、図8を用いて説明する。ここでは、まず初めに図8を用いて、オーディオ信号の規格について概要を説明する。

図8はオーディオ信号の規格を示しており、DVのオーディオの規格には、52.5/60システム(NYSC)、625/50システム(PAL)、という2種類のシステムに対して、サンプリング周波数が48KHz/44.1KHz/32KHz/32KHz-2chと、4種類のモードが存在する。また、これら各モードには1フレームあたりのサンプル数(Audio Frame Size以下、AF_SISEと記す)の許容範囲が定められている。例えば525/60,48KHzモードの場合、AF_SISEが最小:1580サンプル、最大:1620サンプル、平均:1601.6サンプルとされている。このように、AF_SISEが平均値からずれているモード、即ち、ビデオのフレーム周波数とオーディオのサンプリング周波数とが所定の比率を保たないモードを、アンロックモードと呼ぶ。このアンロックモードはDV規格特有のもので、DVD規格やMPEGのTS(Transport Stream)では許されていない。従って、この信号を外部の機器に接続する場合、1フレーム期間の平均レートを一定に保ち、ビデオ信号とロックした状態、即ちロックモードにて出力する必要がある。

従ってオーディオ処理部では、システムクロックに同期して出力されるオーディオデータを、一旦、アンロックモードのサンプル数分、デシヤフリングし、最後にロックモードのサンプリングクロックに相当するイネーブル信号で出力するために、サンプリング変換処理(縮小或いは拡大処理)を行う必要がある。

【0014】

この際、図8に示すように、例えば525/60,48KHzモードの場合、初めの1フレーム目を1600サンプル、2から5フレーム目を1602サンプルとし、これを繰り返すことで1フレームの平均レートを一定に保つモードをロックモードと定義している。但し、これは入力信号に同期したビデオ信号出力が仮にあったとして、このビデオ信号にロックさせるために必要なサンプル数である。

例えば、上記図6①で示したように、入力側フレーム同期信号に対して、出力用フレーム同期信号が早い場合、出力用フレーム同期信号に同期したビデオ信号

出力が得られる為、このビデオ信号に対して、1フレーム期間のオーディオデータの平均レートが一定に保たれる必要がある。即ち、入力信号に非同期なクロックを用いた場合、ロック／アンロックモードに係らず、AF_SIZEのオーディオデータを、出力側フレーム同期信号で見た1フレーム期間に所定の平均レートで出力する必要がある。

そこで、本発明では、ロック／アンロックモードに係らず、出力用フレーム同期信号と入力側フレーム同期信号とを比較し、その差分を用いて、サンプリング変換処理（縮小或いは拡大処理）を行う事により1フレームの平均レートを一定に保つことでロックモード相当の出力信号を得る構成とした。次に、上記動作を具体的に実現する回路の構成について、図7、図9を用いて説明する。

【0015】

図7は、オーディオ処理部104の構成例であり、同図において701はオーディオデータとオーディオ補助データを選択出力する分離処理部、702、706はメモリ、703はデシファリング書き込み制御信号発生部、704はデシファリング読み出し制御信号発生部、705は縮小処理部、707は拡大処理部、708は縮小率設定部、709は拡大率設定部であり、705,706,707,708,709を合せてサンプリング変換処理部113と呼ぶ事とする。

図7のオーディオ処理部104の112において、入力処理部102の108から出力するオーディオデータは、分離処理部701にて、オーディオ補助情報とオーディオ信号とに分離出力する。この内、オーディオ補助情報に含まれるAF_SIZEや、NTSC/PALの区別、オーディオモード、即ち、4種類のサンプリング周波数の区別などの情報をMODE信号として出力する。

【0016】

このMODE信号の内、図1に示したオーディオ信号出力処理用分周回路116は、オーディオモードの情報を受けて、所定のサンプリング周波数のイネーブル信号（例えば48KHzモード、システムクロック54MHzであれば、54MHzを1125分周して得る48KHzのイネーブル信号）を入力信号とは非同期なシステムクロック106を分周して作成しサンプリング変換処理部113内の拡大処理部707へ出力する。

【0017】

デシャフリング書き込み制御信号発生部703及びデシャフリング読み出し制御信号発生部704は上記分離処理部701から出力するオーディオデータを上記ビデオデシャフリング処理同様にDV規格に沿ったマッピングをしながら書き込み、及び読み出す制御を行い、本来のデータ順に並び替える処理を行う。

【0018】

サンプリング変換処理部113では、オーディオ信号のサンプリング数を増加、或いは減少させる処理、即ち拡大、縮小処理を行うことで、オーディオ信号のサンプリング変換を行う。尚、拡大、縮小処理原理については、例えば、特開平H07-015661や、特開平H07-007723に記載の方法を用いることで任意の倍率での拡大、縮小が可能である。

ここで、入力側フレーム同期信号と、出力用フレーム同期信号の位相差分期間は、例えば、同図のフレーム同期差分(1),(2),(3)…で示す期間となり、隣り合う任意の2つの同期差分の差分を求めて（フレーム同期差分(1) - フレーム同期差分(2) = 位相差分期間（符号+：入力より遅い位相/-：入力より早い位相））容易に得ることができる。この場合、この位相差分期間に相当する、オーディオ入力信号のサンプル数をAF_SIZEから差し引くことで、上記オーディオ入力信号期間を求めることができる。

【0019】

以上説明したサンプリング変換処理原理を、サンプリング変換処理部113の構成と合せ、具体的な数値例を用いて説明する。ここでは、入力側をDV規格と同様、即ちフレーム同期信号の周波数が29.97Hz、音声モード48KHz、アンロックモードでAF_SIZEが1580サンプル、averageが1601.6サンプル、固定クロック発生部106の発振周波数が54.1MHz（本来（54MHz）より【早い】周波数）より、出力用フレーム同期信号の周波数が $(54.1\text{MHz}/4)/858\text{dot}/525\text{line}=30.025\text{Hz}$ であった場合を想定してみる事とする。

位相比較部118は、入力側フレーム同期信号と出力用フレーム同期信号と入力して上記、位相差分期間を求め、縮小設定部708、拡大設定部709に出力する。例えば、この場合、出力用フレーム同期信号が30.025Hzであることから、上記位相差分期間は、

$1/((54.1\text{MHz}/4)/858\text{dot}/525\text{line}) - 1/((54\text{MHz}/4)/858\text{dot}/525\text{line}) = -0.000061675$

secとなり、これを入力側のオーディオサンプル数に換算すると、

$29.97\text{Hz} \times 1580\text{サンプル} = 47.3526\text{KHz}$

である為、

$-0.000061675\text{sec} \times 47.3526\text{KHz} = -2.92\text{サンプル}$ (位相差分期間の換算値)

となる。即ち、この場合、入力オーディオ信号の $1580 - 2.92 = 1577.08$ サンプルからaverageの1601.6サンプルを作成する必要がある。

【0020】

尚、上記位相比較部118の構成としては、入力側フレーム同期信号と出力用フレーム同期信号とを用い、図9のフレーム差分(1)、(2)、(3)…に相当する期間をシステムクロックでカウントするカウンタと、その値を保持するレジスタ、該レジスタの値を減算する減算器、該減算器から得る値をオーディオサンプル数に換算する係数器などで構成するなど、その構成に限定するものではなく、あくまでも位相差分期間が検出できる構成であれば、いかなる構成であっても構わない。

【0021】

縮小設定部708、拡大設定部709では、入力する位相差分期間の符号を判定してAF_SIZEに上記位相差分期間から換算したサンプル数を加減算（位相差分期間の符号+：加算/-：減算）して、オーディオ入力信号期間を算出する。このオーディオ入力信号期間とaverageの大小関係から、縮小、拡大動作のオン・オフを制御すると同時に、オーディオ入力信号期間とaverageから算出した所定の縮小或いは拡大率を設定する。

即ち、(1)拡大処理オン（縮小処理オフ）条件：[オーディオ入力信号期間] < [average]

(2)拡大処理オフ（縮小処理オン）条件：[オーディオ入力信号期間] > [average]

となり、この場合、[オーディオ入力信号期間] = 1577.08から[average] = 1601.6サンプルとなり、上記(1)の条件を満たすため、拡大処理となる。

例えば、オーディオサンプルの最大値が上記図8より1944サンプルであること

、及び周波数のずれが実際にはごく僅か、即ち縮小・拡大処理の前後で総サンプル数の差が僅かであることから、縮小・拡大という補間処理の位相の分解能力を2のN乗で1944以上の2048を選んだとすると、この場合の拡大設定値は、

$$2048/(2048-X) = \text{拡大率} \text{ より } X = 2048(1-1/(1601.6/1577.08)) = 31.35$$

となる。即ち、ここで言う拡大処理とは、2サンプル間を2048等分し、「31.35」づつ位相をずらした位置の補間信号を作成する処理に相当する。また、上記拡大設定値「31.35」の累積が2048を超えるタイミングでメモリ706のオーディオ出力データを繰り返すように動作する。

ここで、もし設定が縮小であった場合は、所定の周期でデータを間引きながら補間データを作成してメモリ706にデータを書き込み、オーディオ信号出力処理用分周回路116から得るイネーブル信号に従ってデータを出力する。この際、縮小設定値は、上記拡大設定値の場合と同様の原理から、 $2048/(2048+X) = \text{縮小率}$ となる。

【0022】

次に、図10を用いて、入力側フレーム同期信号に対して、出力用フレーム同期信号の位相が「遅い」場合について上記同様に説明する。図10における(a)、(b)、(c)、(d)、(e)、(f)、(g)は、図9に示したものと同一の意味を持つ。

この例も場合も、上記図9同様に、同図(d)に示す、出力用フレーム同期信号の1フレーム期間に相当するオーディオ入力信号を用いて同図(g)に示すオーディオ信号出力を生成する必要がある。

【0023】

図9同様に、上記サンプリング変換処理原理を、サンプリング変換処理部113の構成と合せ、具体的な数値例を用いて説明する。ここでは、入力側をDV規格と同様、即ちフレーム同期信号の周波数が29.97Hz、音声モード48KHz、アンロックモードでAF_SIZEが1580サンプル、averageが1601.6サンプル、固定クロック発生部106の発振周波数が53.9MHz（本来（54MHz）より「遅い」周波数）より、出力用フレーム同期信号の周波数が $(53.9\text{MHz}/4)/858\text{dot}/525\text{line} = 29.91\text{Hz}$ であった場合を想定してみる事とする。

位相比較部118は、入力側フレーム同期信号と出力用フレーム同期信号と入力

して上記、位相差分期間を求め、縮小設定部708、拡大設定部709に出力する。例えば、この場合、出力用フレーム同期信号が29.91Hzであることから、上記位相差分期間は、

$1/((53.9\text{MHz}/4)/858\text{dot}/525\text{line}) - 1/((54\text{MHz}/4)/858\text{dot}/525\text{line}) = +0.000015476\text{sec}$ となり、これを入力側のオーディオサンプル数に換算すると、

$$29.97\text{Hz} \times 1580\text{サンプル} = 47.3526\text{KHz}$$

である為、

$$+0.000015476\text{sec} \times 47.3526\text{KHz} = +0.73\text{サンプル} \text{ (位相差分期間の換算値)}$$

となる。即ち、この場合、入力オーディオ信号の $1580 + 0.73 = 1580.73$ サンプルからaverageの1601.6サンプルを作成する必要がある。この場合、1580.73から1601.6サンプルへの拡大処理となる。従って、上記同様、拡大設定値は、

$$2048/(2048-X) = \text{拡大率} \text{ より } X = 2048(1-1/(1601.6/1580.73)) = 26.68$$

となる。即ち、ここで言う拡大処理とは、2サンプル間を2048当分し、「26.68」づつ位相をずらした位置の補間信号を作成する処理に相当する。また、上記拡大設定値「26.68」の累積が2048を超えるタイミングでメモリ706のオーディオ出力データを繰り返すように動作する。

尚、上記図9、及び図10の説明において、小数点以下の精度については言及していないが、作成するLSIの回路規模制約や、実際に用いるシステムクロックの周波数などに依存して、いかようにも設定可能であり、上記のように小数点以下第二位までに限定するものではない。

以上の処理を行うことにより、平均レートがaverageとなったオーディオ出力信号を得ることが可能となり、1フレーム期間の平均サンプル数を一定に保つことができる。

以上の処理により、システムクロックを元に作成したイネーブル信号でオーディオ出力の平均サンプル数が一定に保たれることとなる。

なお、本実施例においては、オーディオ入力信号が圧縮されていないものについて説明したが、オーディオ入力信号が圧縮された信号であるときは、図7のメモリ702と縮小回路705の間に、伸張回路を設け、圧縮された音声データの伸張を行えばよい。

【0024】

以上、ビデオ及びオーディオ信号処理を1つのシステムクロックから作成したイネーブル信号で処理することにより、見かけ上は複数のイネーブル信号で動作しているものの、結果として、1つのクロックでシステム全体が動作することとなる。

【0025】

【発明の効果】

以上説明した通り、本発明によれば、従来例に示したように複数のPLL、発振器を用いることなく、単一の非同期クロックを用いてビデオ及びオーディオ信号をデコードすることが可能となる。この為、これらのデジタル回路をLSIに集積化する場合、設計効率の向上や、安定な動作を保証することが比較的安易に可能となる。またクロックが一つということでLSI設計時のタイミング設計、タイミング検証が容易になると同時に、クロック間のクロストークも解消され、ノイズの発生要因を抑えた基板設計が可能となる。

また、PLLを用いないことから、PLL用の外部ピンも削減でき、LSIの製造コストを抑えると同時に、これを搭載する基板の部品点数も抑えることができ、製品コストの上昇を防ぐことが可能となる。

【図面の簡単な説明】

【図1】 本発明によるデジタル信号処理装置の第1実施形態を示すブロック図である。

【図2】 第1実施形態のビデオデコード処理部109の詳細を示すブロック図である。

【図3】 第1実施形態のビデオ信号同期処理部110の詳細を示すブロック図である。

【図4】 第1実施形態のビデオ信号同期処理部110におけるデシャフリング動作の詳細を示す説明図である。

【図5】 第1実施形態のビデオ信号同期処理部110におけるデシャフリング動作を示すタイミングチャートである。

【図6】 第1実施形態のビデオ信号同期処理部110におけるフレームシンクロ

動作を示すタイミングチャートである。

【図7】 第1実施形態のオーディオ処理部104の詳細を示すブロック図である

【図8】 第1実施形態のオーディオ処理部104の動作モードの詳細を示す説明図である。

【図9】 第1実施形態のサンプリング変換処理部113におけるサンプリング変換原理を示すタイミングチャートである。

【図10】 第1実施形態のサンプリング変換処理部113におけるサンプリング変換原理を示すタイミングチャートである。

【符号の説明】

102…入力処理部。

103…ビデオ処理部。

104…オーディオ処理部。

105…分周部。

106…固定クロック発生部。

107…IEEE1394インターフェース処理部。

108…信号分離処理部。

109…ビデオデコード処理部。

110…ビデオ信号同期処理部。

111…ビデオ信号出力端子。

112…オーディオデコード処理部。

113…サンプリング変換処理部。

114…オーディオ信号出力端子。

115…入力信号処理用分周回路。

116…オーディオ信号出力処理用分周回路。

117…ビデオ出力フレーム同期発生用分周回路。

118…位相比較部。

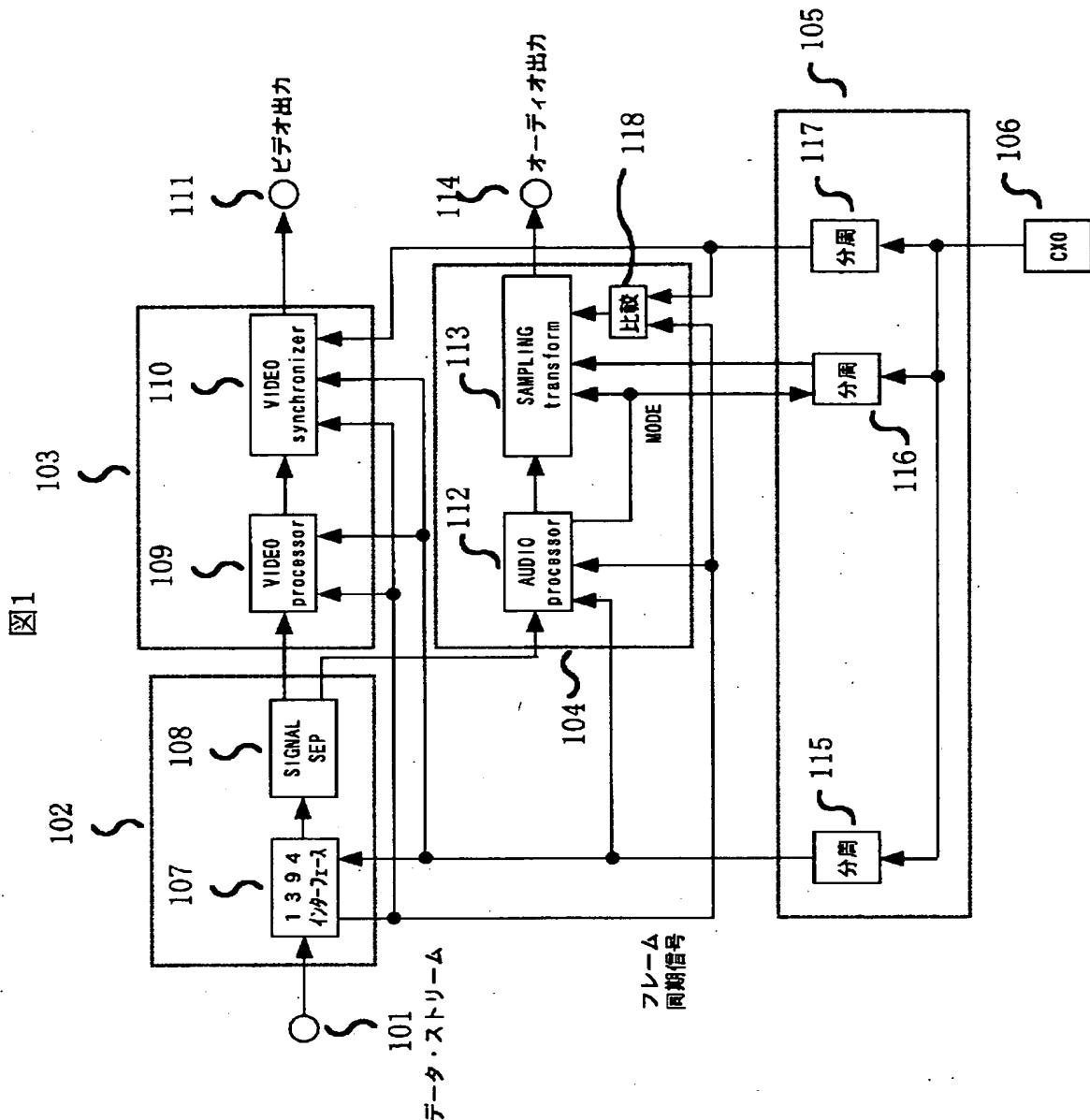
201…SRAM。

202…SRAMコントロール。

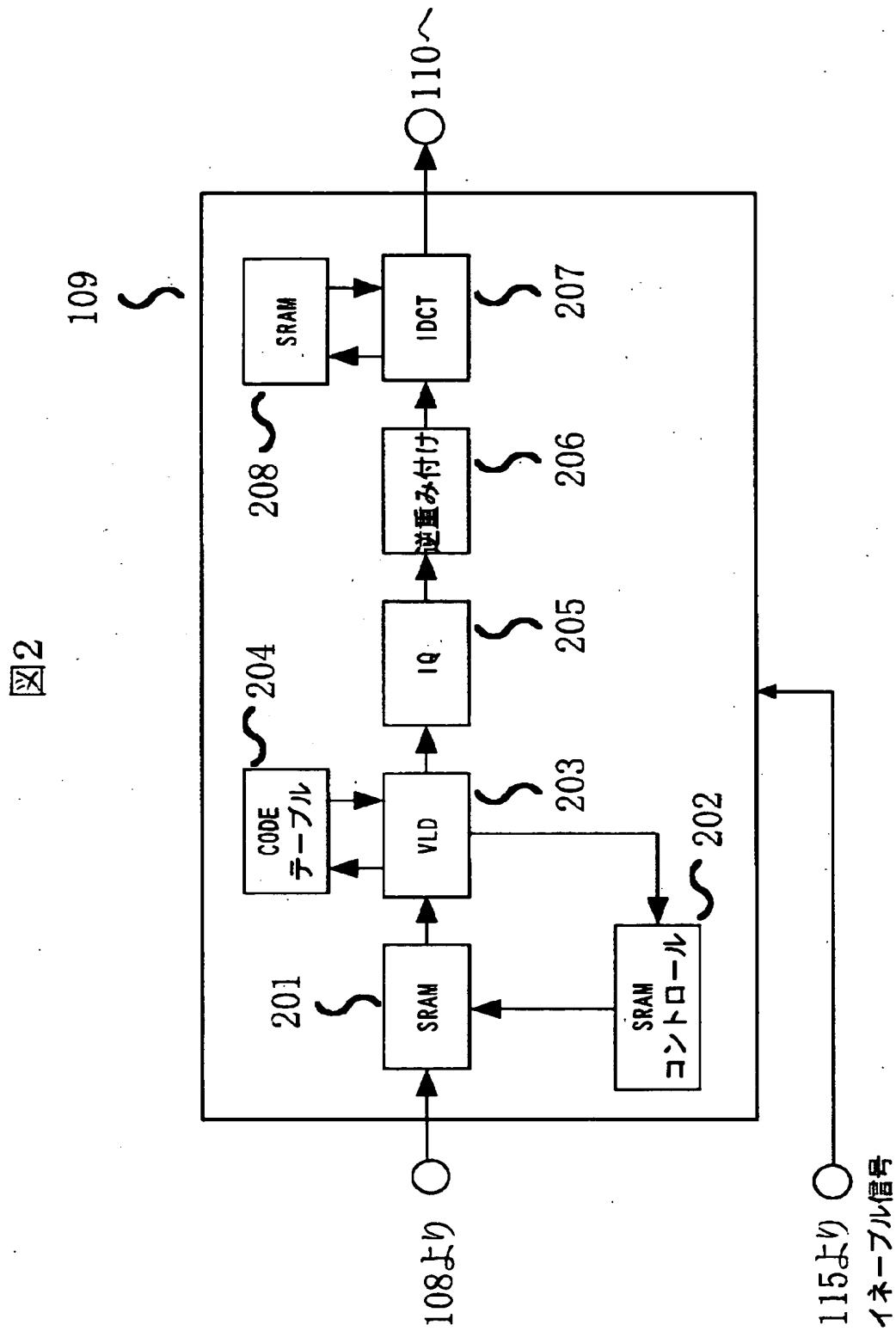
- 203…可変長符号処理部。
- 204…VLD変換テーブル。
- 205…逆量子化処理部。
- 206…逆重み付け処理部。
- 207…逆離散コサイン変換処理部。
- 208…SRAM。
- 301…メモリ。
- 302…デシャフリング書き込み制御信号発生部。
- 303…シンクロ読み出し制御信号発生部。
- 701…分離処理部。
- 702…メモリ。
- 703…デシャフリング書き込み制御信号発生部。
- 704…デシャフリング読み出し制御信号発生部。
- 705…縮小処理部。
- 706…メモリ。
- 707…拡大処理部。
- 708…縮小設定部。
- 709…拡大設定部。

【書類名】 図面

【図1】

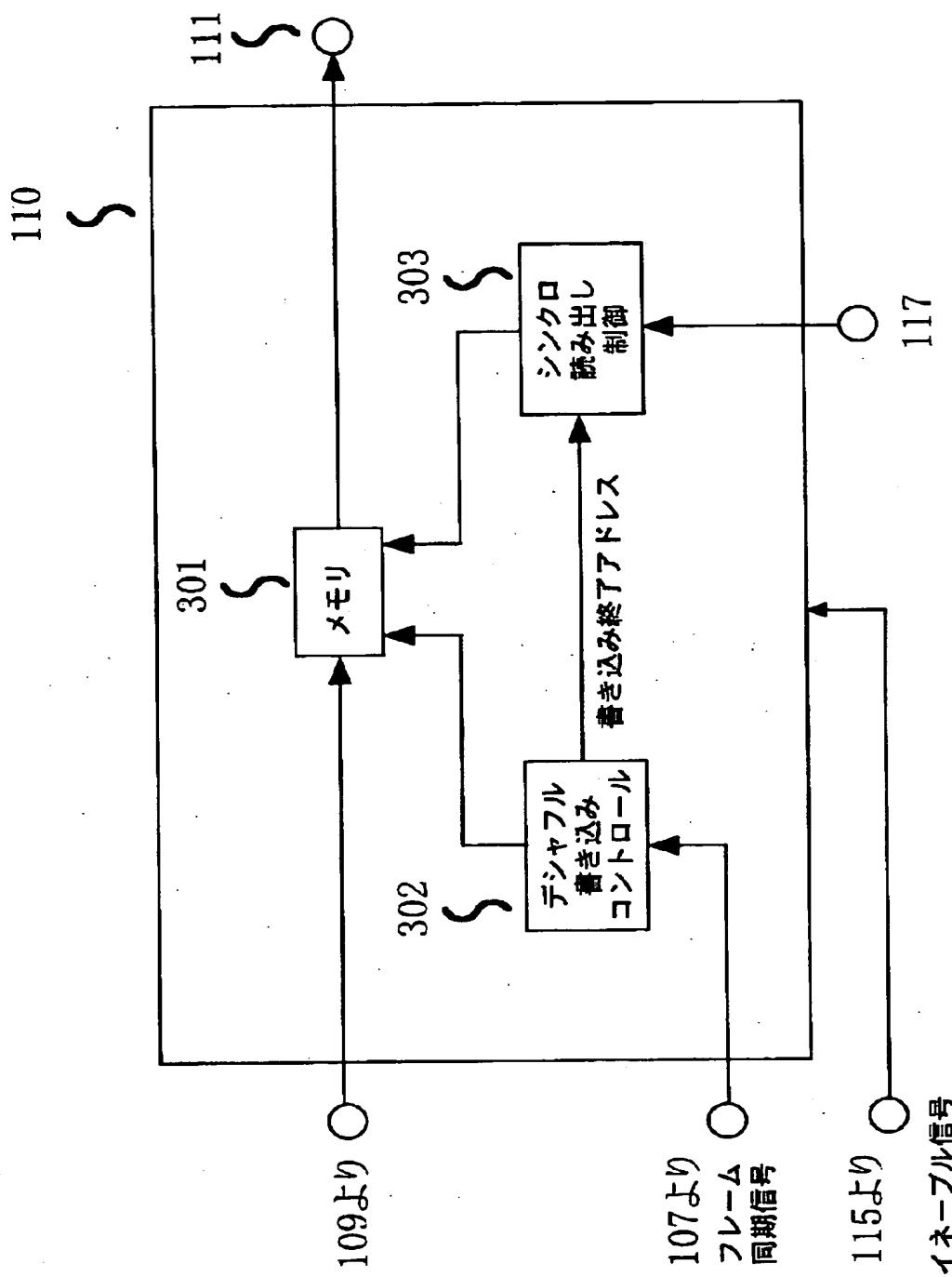


【図2】

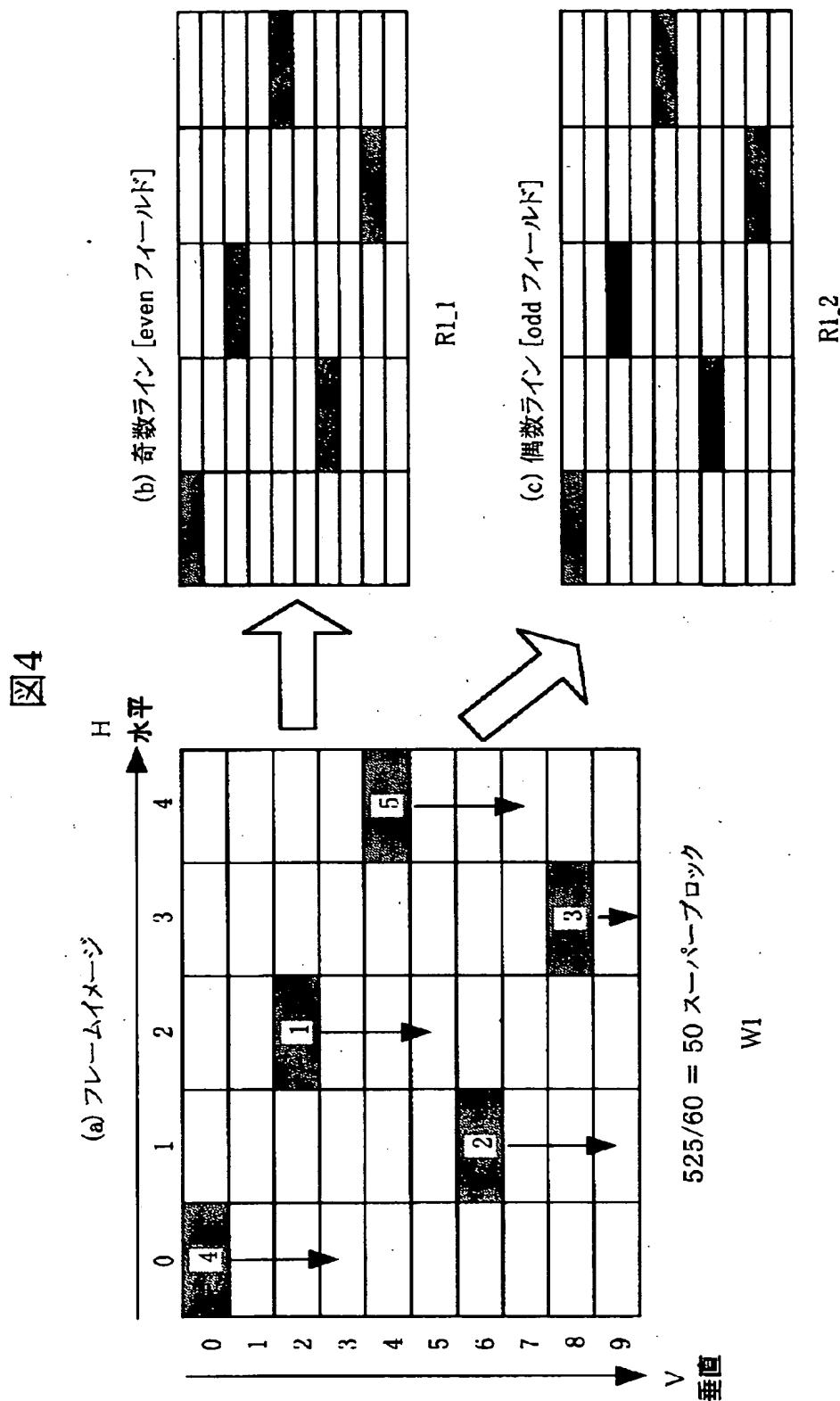


【図3】

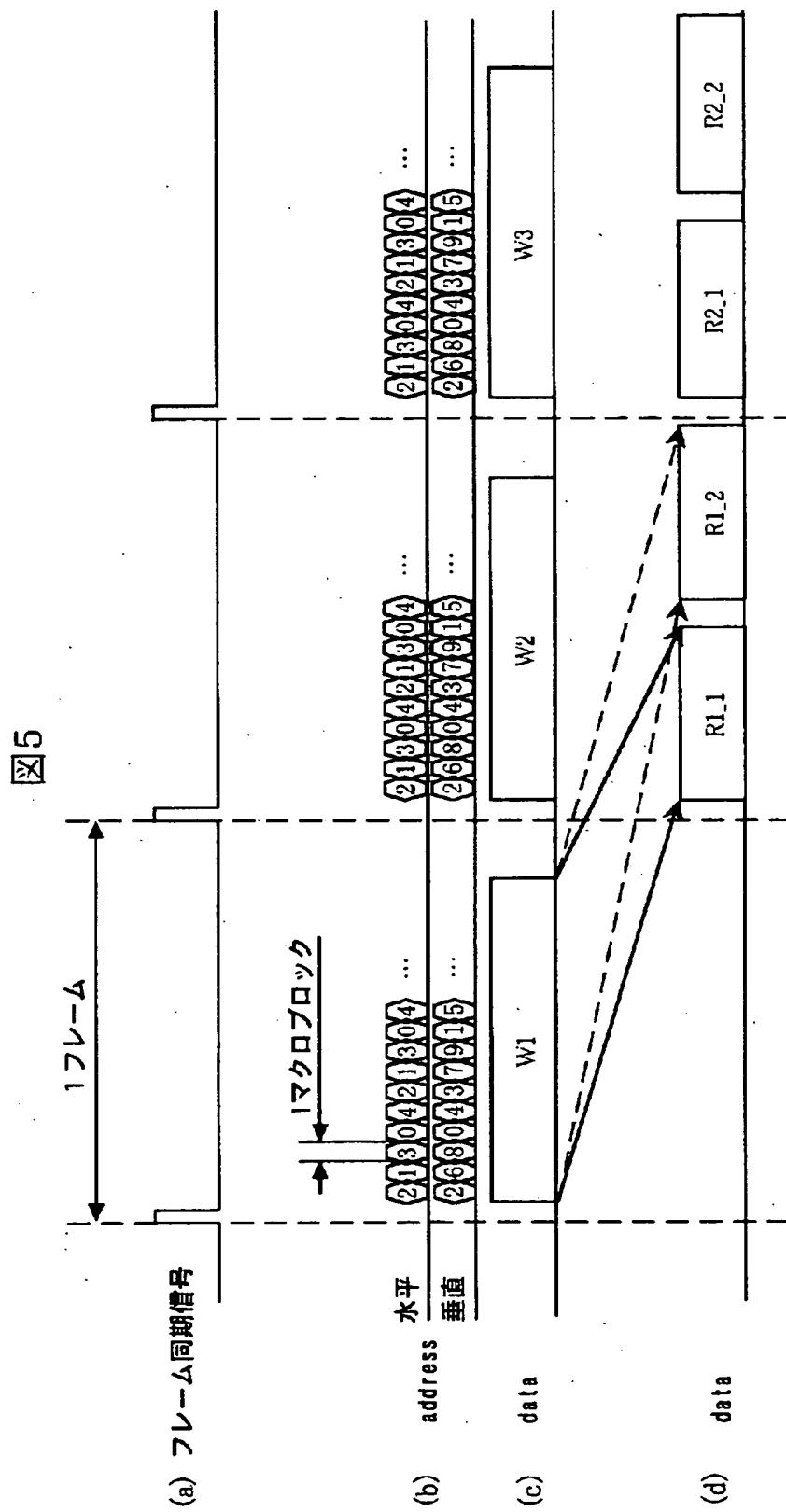
図3



【図4】

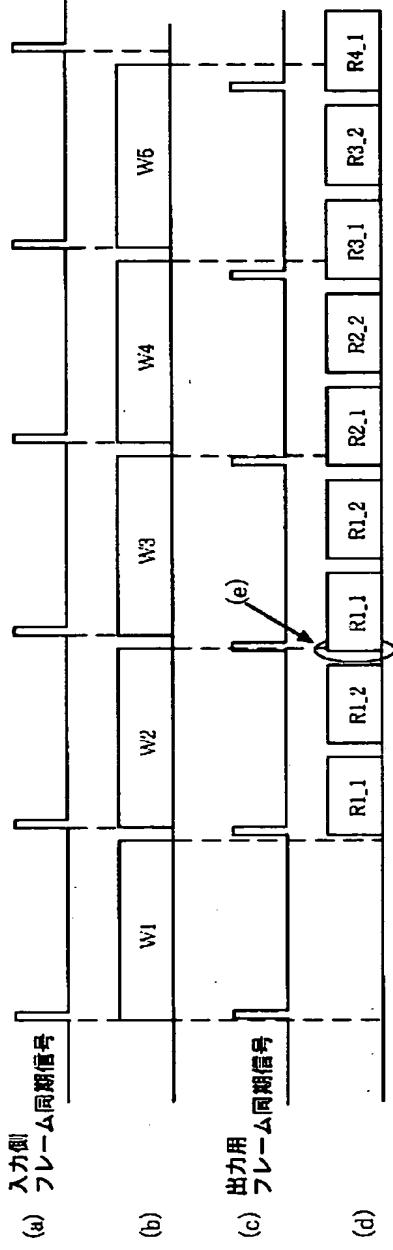


【図5】

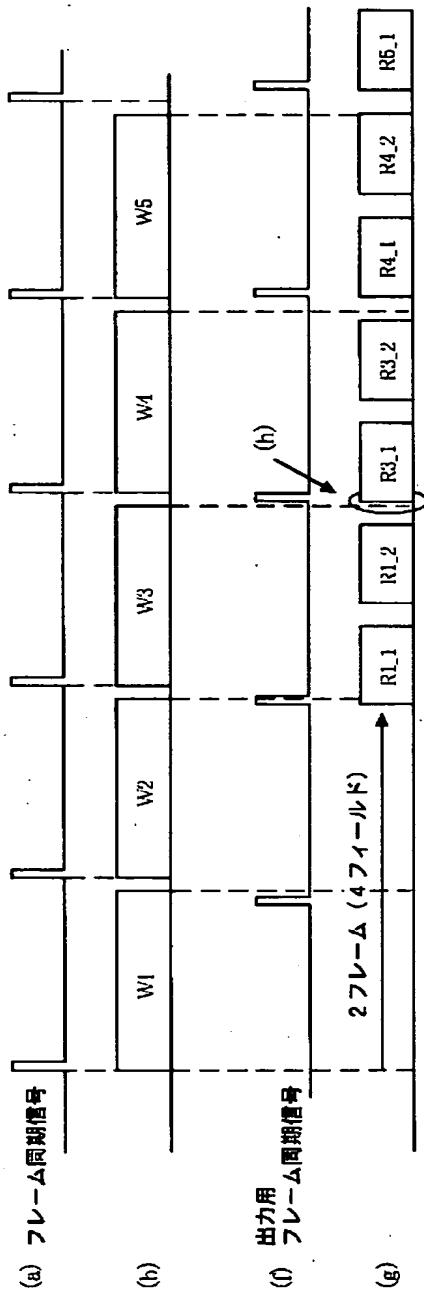


【図 6】

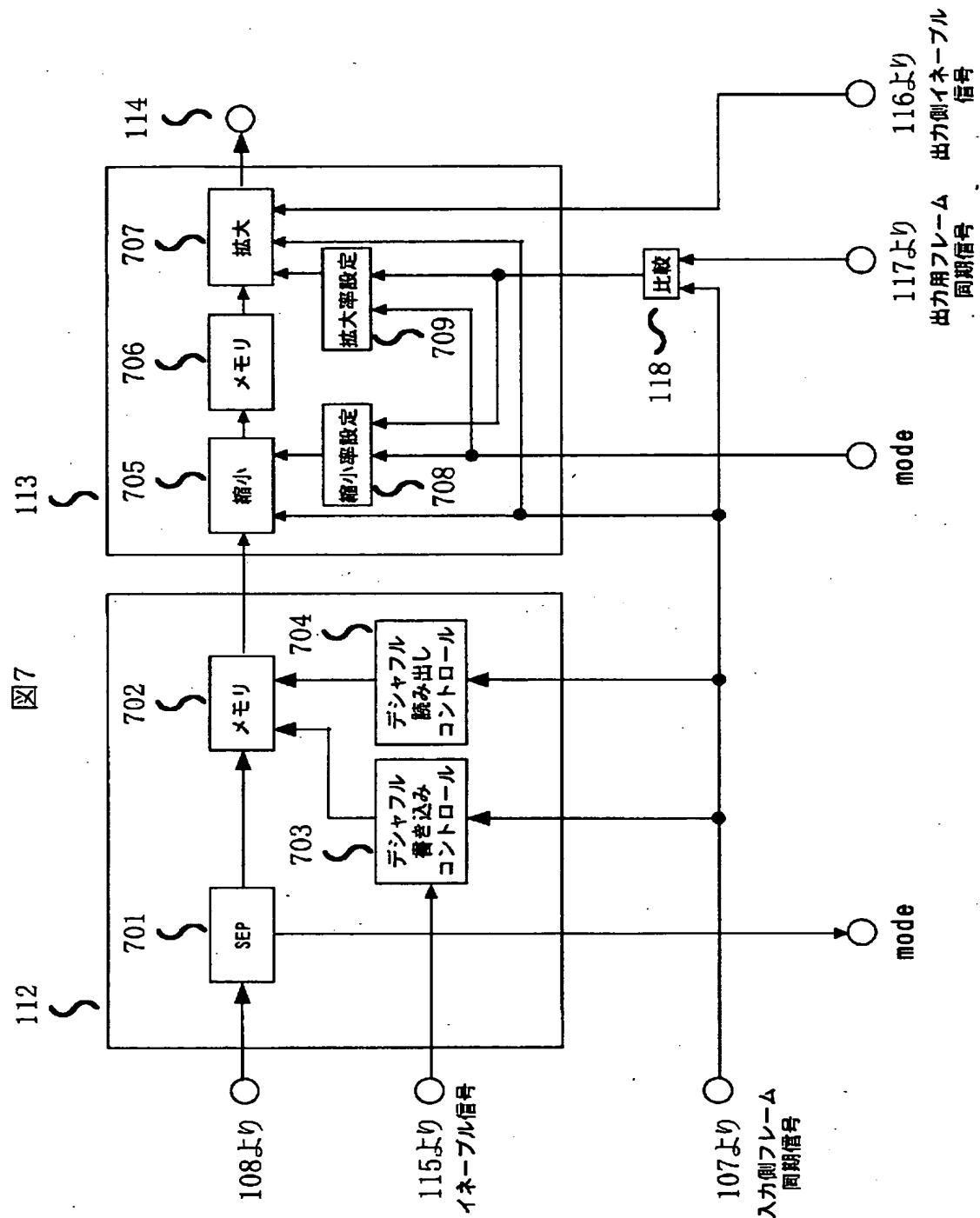
① 入力側フレーム同期信号に対して、出力用フレーム同期信号が「早い」場合



② 入力側フレーム同期信号に対して、出力用フレーム同期信号が「遅い」場合



【図7】

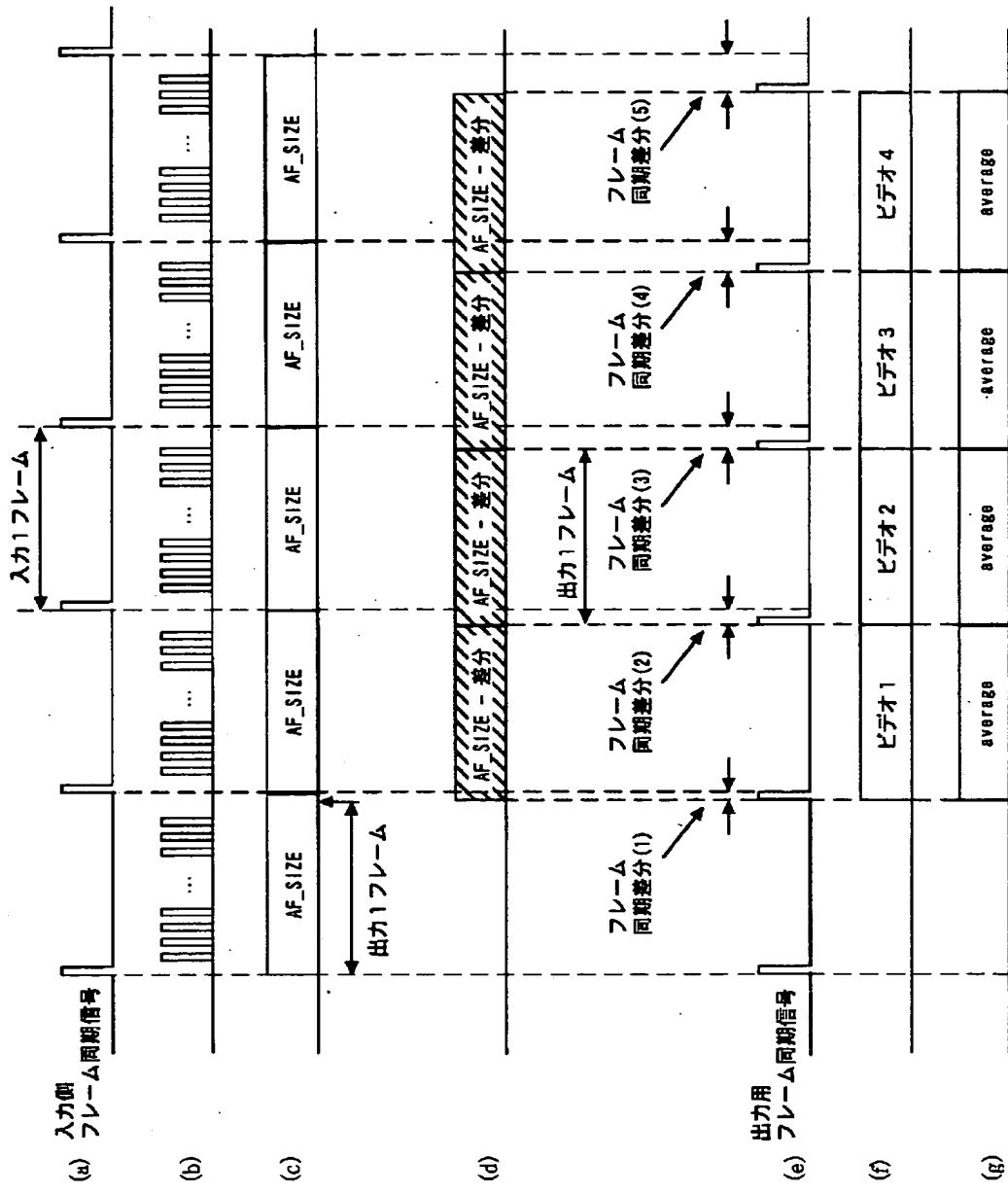


【図8】

図8

		unlocked mode			locked mode		
		samples / frame					
mode		maximum	minimum	average			
525/60 system	48KHz	1620	1580	1601.60	1st frame : 1600		
	44.1KHz	1489	1452	1471.47	2nd to 5th frame : 1602		
	32KHz	1080	1053	1067.73	1st and 8th frame : 1066		
	32KHz 2ch	1080	1053	1067.73	2~7,9~15 frame : 1068		
625/50 system	48KHz	1944	1896	1920	all frame : 1920		
	44.1KHz	1786	1742	1764			
	32KHz	1296	1264	1280			
	32KHz 2ch	1296	1264	1280	all frame : 1280		

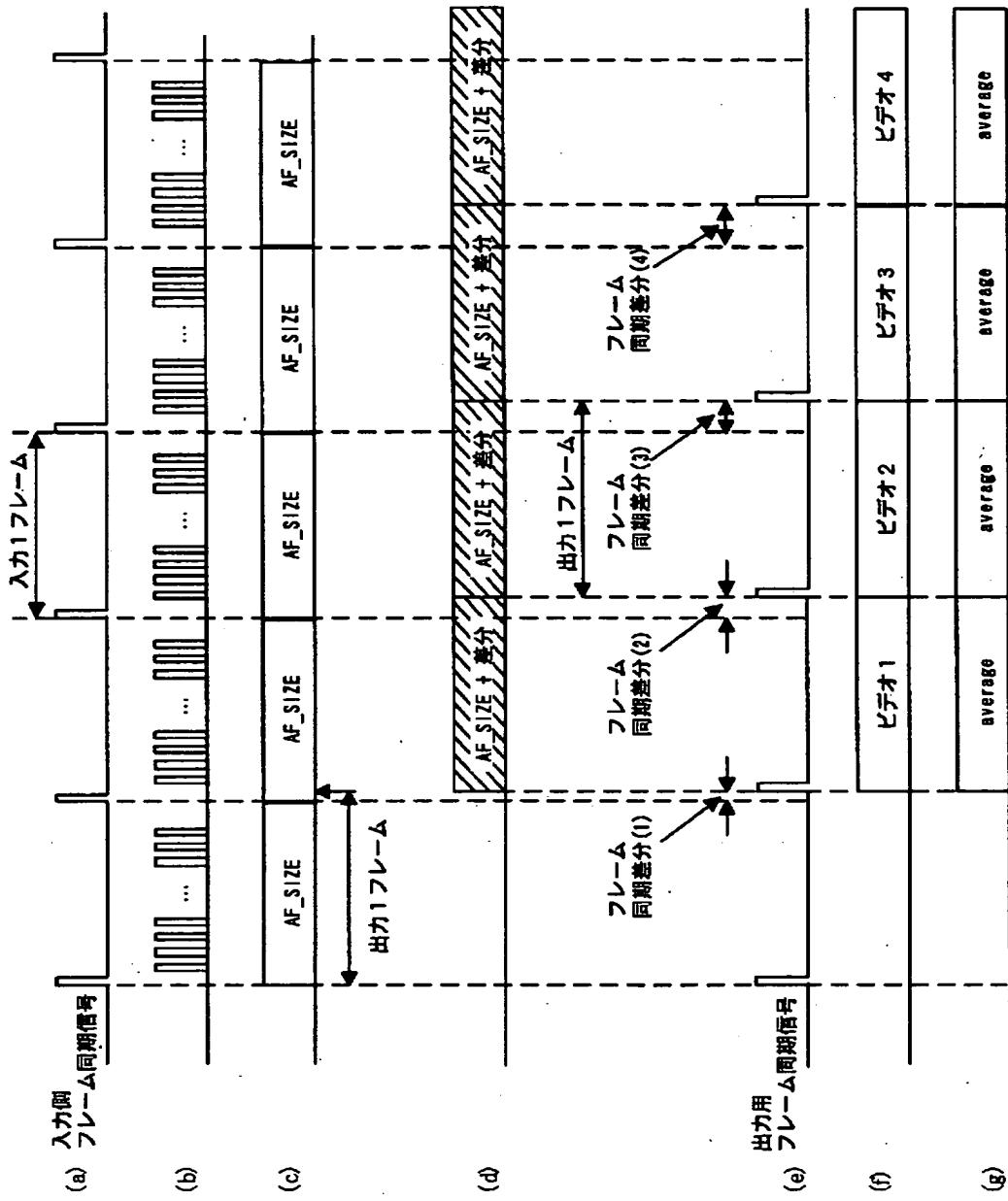
【図9】



【図10】

図10

入力側フレーム同期信号に対して、出力用フレーム同期信号が遅い場合



【書類名】 要約書

【要約】

【課題】

单一のクロックでDVデコード処理を行うことにより、LSIのピン数を削減し
周辺回路の部品点数を削減する。

【解決手段】

入力信号とは非同期なクロック信号を発生するクロック信号発生手段と、該クロック信号発生手段から出力するクロック信号を分周し所定のクロックイネーブル信号を出力する分周手段と、該分周手段から出力するクロックイネーブル信号に従い、圧縮処理されたディジタル信号から圧縮映像及び音声情報などを分離して出力するディジタルインターフェース処理手段と、該ディジタルインターフェース処理手段から出力する圧縮映像情報をデコードし、映像信号を得ると同時に入力信号との同期をとるビデオ信号処理手段と、該ディジタルインターフェース処理手段から出力される音声情報をデコードし、音声信号を得ると同時に音声動作モードに応じた同期で音声信号を出力するオーディオ信号処理手段を用いる。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2001-238691
受付番号	50101160242
書類名	特許願
担当官	第四担当上席 0093
作成日	平成13年 8月 8日

＜認定情報・付加情報＞

【提出日】 平成13年 8月 7日

次頁無

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所